

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2001 年 3 月 15 日 (15.03.2001)

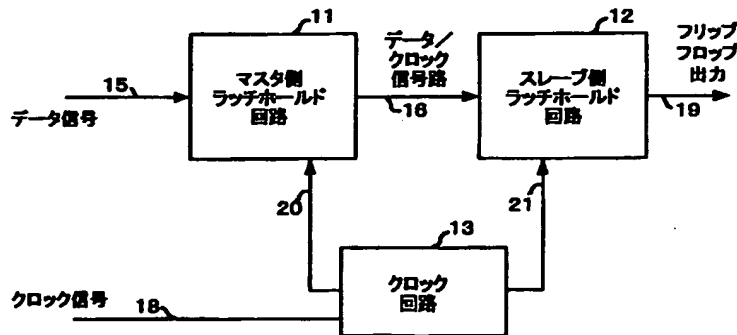
PCT

(10) 国際公開番号
WO 01/18962 A1

- (51) 国際特許分類⁷: H03K 3/289, 3/286 (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 木村宏之
(21) 国際出願番号: PCT/JP00/05924 (KIMURA, Hiroyuki) [JP/JP]; 〒145-0064 東京都大田
区上池台 5-29-21-101 Tokyo (JP).
(22) 国際出願日: 2000 年 8 月 31 日 (31.08.2000) (74) 代理人: 三俣弘文 (MITSUMATA, Hirofumi); 〒106-
8508 東京都港区六本木 1-4-30 日本ルーセント・テク
(25) 国際出願の言語: 日本語 ノロジー株式会社 知的財産部 Tokyo (JP).
(26) 国際公開の言語: 日本語 (81) 指定国 (国内): CN, JP, KR, US.
(30) 優先権データ: (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE,
特願平 11/250434 1999 年 9 月 3 日 (03.09.1999) JP DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).
(71) 出願人 (米国を除く全ての指定国について): ルー
セント テクノロジーズ インコーポレイテッド
(LUCENT TECHNOLOGIES INC.) [US/US]; 07974
ニュージャージー州 マレーヒル, マウンテン アベ
ニュー 600-700 New Jersey (US).
添付公開書類:
— 国際調査報告書
2 文字コード及び他の略語については、定期発行される
各 PCT ガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

(54) Title: FLIP-FLOP CIRCUIT, AND METHOD OF HOLDING AND SYNCHRONIZING DATA USING CLOCK SIGNAL

(54) 発明の名称: フリップフロップ回路およびクロック信号によってデータを保持し同期させる方法



- 11...LATCH HOLD CIRCUIT ON MASTER SIDE
12...LATCH HOLD CIRCUIT ON SLAVE SIDE
13...CLOCK CIRCUIT
15...DATA SIGNAL
16...DATA/CLOCK PATH
18...CLOCK SIGNAL
19...FLIP-FLOP OUTPUT

(57) Abstract: A low-power, high-speed flip-flop circuit is provided that has a simplified, smaller circuit configuration. A flip-flop comprises two latch hold circuits composed of transistors (B1-B4) and transistors (B5-B8), respectively; and a clock-input differential circuit composed of transistors (B9-B12). With clock inputs (CP) and (CN) being high and low, respectively, transistors (B9, B10) turn on, and the current from a constant current source (12) turns transistor (B2, B3) off. Similarly, transistors (B5, B8) are also turned off, causing the second latch hold circuit to be in hold state. With clock inputs (CP) and (CN) being low and high, respectively, the states of the first and second latch hold circuits are switched, resulting in flip-flop operation.

[続葉有]



(57) 要約:

簡単な構成でより小さい回路規模の、より低い消費電力かつより高速に動作するフリップフロップ回路を提供する。

トランジスタB1～B4およびB5～B8で構成される2つのラッチホールド回路とトランジスタB9～B12で構成されるクロック用差動回路をもつフリップフロップ回路において、クロック入力CPがHiレベルかつCNがLoレベルの時、トランジスタB9、B10がオン状態になり、定電流源I2の電流によりトランジスタB2、B3がオフ状態になり、第1のラッチホールド回路はトランスペアレント状態となり、同様にトランジスタB5、B8もオフ状態になるため、第2のラッチホールド回路は、ホールド状態となる。クロック入力CPがLレベルかつCNがHレベルの時は、第1と第2のラッチホールド回路の状態は、入れ替わり、フリップフロップ動作を行う。

明細書

フリップフロップ回路およびクロック信号によってデータを保持し同期させる方法

5 技術分野

本発明は、電子デバイスに関し、特に、バイポーラトランジスタを用いたECL型低電圧かつ低消費電力フリップフロップ回路に関する。

10 背景技術

フリップフロップ回路は、半導体デバイスなどの電子デバイスにおいてますます重要となってきたおり、低電圧動作、低電力動作、高速動作、簡易構造、少ない構成要素であることなどが望まれている。従来の低電圧で動作するECL型フリップフロップ回路には、特開平2-21717の技術に係る回路(図5)および特開平15 10-51278の技術に係る回路(図6)等がある。

図5のフリップフロップ回路は、マスタ回路とスレーブ回路を構成する2つのラッチホールド回路とクロック回路からなる。いずれのトランジスタもエミッタは負側電源V_{EE}との間に電流源が接続され、コレクタは、正側電源V_{CC}または、正側電源V_{CC}との間に抵抗が接続されるという構成になっており、低電圧動作に向けた回路となっているが、電流源の数が5つと多く、低電流動作には向いていなかった。またトランジスタは14個と多い。

図6のフリップフロップ回路は、2つのデータバッファ回路と2つのラッチホールド回路とクロック回路とから構成されており、各トランジスタは正側電源と負側電源の間に、抵抗と電流源を介して接続されており、低電圧動作に適しており、電流源の数も4つと図5の回路に比べ少なくなっている。しかし、各ラッチホールド回路の前に接続されたバッファ回路の分だけ、データの伝達時間がかかり、高速動作にとっては、不利であり、また、さらに低電圧な動作が望まれる。またトランジスタは同様に14個と多い。

発明の開示

したがって、従来のフリップフロップ回路においては、低電圧動作、低電力動作、高速動作、簡易構造、少ない構成要素であることなどが望まれている。本発明はこのようなフリップフロップ回路を提供することを目的とする。

- 5 本発明のフリップフロップ回路は、(A) 第1のラッチホールド回路と、(B) 前記ラッチホールド回路に縦続接続される第2のラッチホールド回路と、(C) 前記2つのラッチホールド回路に制御信号を与える、クロック回路を有する。

- 前記各ラッチホールド回路は、入出力間の電位差によりトランスペアレント状態とホールド状態の2つの状態をとる。クロック回路は、各ラッチホールド回路の2
10 つの状態を与える制御をする。各実施例の詳細は下で詳細に説明する。

- 前記ラッチホールド回路は、各エミッタが共通の定電流源に接続されたトランジスタB1～B4を用い、トランジスタB1およびB4の各ベースを正側および負側の一对の入力とし、互いに接続されたトランジスタB1およびB2のコレクタとB3のベースとを負側出力とし、互いに接続されたトランジスタB3およびB4のコレクタとB2のベースとを正側出力とする。
15

各入力が各出力よりも電位が低い場合は、トランジスタB1およびB4がオフとなり、正帰還となるトランジスタB2およびB3がオンとなり、ホールド状態を維持し、電位差が逆の場合は、各トランジスタのオン・オフの状態が逆転するので、トランスペアレント状態となる。

- 20 クロック回路は、各エミッタが共通の定電流源I2に接続されたトランジスタB9～B12で構成され、トランジスタB9およびB10のベースは共に負側クロック入力となる。トランジスタB11およびB12のベースは共に正側クロック入力となる。トランジスタB9およびB10の各コレクタはそれぞれマスタ側ラッチホールド回路11の負側および正側出力に接続され、トランジスタB11およびB1
25 2の各コレクタは、それぞれスレーブ側ラッチホールド回路12の正側および負側出力に接続される。

マスタ側ラッチホールド回路11の入力は、前段の同様なフリップフロップの出力に接続されるか、あるいは、クロック入力がHiレベルとLoレベルとの時のフリップフロップ回路出力の中間値のバイアス電圧が与えられる。

クロック入力が高レベルの時、マスタ側ラッチホールド回路 11 の出力はその入力に比べ低電位となり、マスタ側ラッチホールド回路 11 はトランスペアレント状態になり、同時にスレーブ側ラッチホールド回路 12 の入力をその出力に比べ低電位にして、スレーブ側ラッチホールド回路 12 をホールド状態にする。クロック入
5 力が低レベルの時は逆に、マスタ側ラッチホールド回路 11 は、ホールド状態になり、スレーブ側ラッチホールド回路 12 はトランスペアレント状態となる。

図面の簡単な説明

図 1

10 本発明の実施形態の例を示した概略ブロック図である。

図 2

本発明の第 1 の実施形態を示す回路図である。

図 3

図 2 の各位置における波形の例を示した波形図である。

15 図 4

本発明の第 2 の実施形態を示す回路図である。

図 5

従来のフリップフロップ回路の一例を示した回路図である。

図 6

20 従来のフリップフロップ回路の他の例を示した回路図である。

符号の説明

- | | |
|--------|----------------|
| 11 | マスタ側ラッチホールド回路 |
| 12 | スレーブ側ラッチホールド回路 |
| 25 13 | クロック回路 |
| B1～B12 | トランジスタ |
| R1～R6 | 抵抗 |
| I1～I3 | 定電流源 |
| VCC | 正側電源の端子 |

VEE	負側電源の端子
DP	正側データ入力
DN	負側データ入力
CP	正側クロック入力
5 CN	負側クロック入力
QP	正側出力
QN	負側出力

発明を実施するための最良の形態

- 10 図1において、マスタ側ラッチホールド回路11にはデータ信号15、およびクロック回路13が生成するクロック信号20が入力される。マスタ側ラッチホールド回路11は、それらデータ信号15およびクロック信号20のレベルに応じてトランスペアレント状態とホールド状態の2つの状態をとり、それら状態、データ信号15および18のレベルが反映されたデータ/クロック信号16を出力する。このデータ/クロック信号16はデータ信号成分とクロック信号成分の両方を含んでいる。

- スレーブ側ラッチホールド回路12には、マスタ側ラッチホールド回路11からデータ/クロック信号16がデータ/クロック信号路を介して供給され、またクロック回路13からクロック信号21が供給される。スレーブ側ラッチホールド回路12はマスタ側ラッチホールド回路11と同様にデータ/クロック信号16とクロック信号21のレベルに応じてトランスペアレント状態とホールド状態の2つの状態をとり、それら状態、データ/クロック信号16およびクロック信号21のレベルが反映されたフリップフロップ出力19を出力する。なお、この図においては、図の簡明さのため各信号路を1つの線路のみで示したが、実際には各信号路は1もしくは2以上の線路からなる。後に説明する図2および図4の実施例においては各信号路を2ないし4の線路からなるようにしてある。

図2の実施例の構成について説明する。このフリップフロップ回路は、大きく分けるとマスタ側ラッチホールド回路11、スレーブ側ラッチホールド回路12、クロック回路13からなる。マスタ側ラッチホールド回路11は、トランジスタB1

～B 4、抵抗R 1およびR 2、定電流源 I 1から構成されており、トランジスタB 1～B 4の各エミッタと定電流源 I 1のシンク側が接続され、トランジスタB 1、B 2の各コレクタとB 3のベースと抵抗R 1の一方の端子とが接続され、マスタ回路の負側出力O 1 Nとなる。トランジスタB 3およびB 4の各コレクタとB 2のベースと抵抗R 2の一方の端子が接続され、マスタ回路の正側出力O 1 Pとなる。抵抗R 1およびR 2の他方の各端子は、正側電源VCCに接続される。

スレーブ側ラッチホールド回路1 2は、マスタ側ラッチホールド回路1 1と同様の構成であり、トランジスタB 5～B 8、抵抗R 3およびR 4、定電流源 I 3から構成されており、トランジスタB 5～B 8の各エミッタと定電流源 I 3のシンク側が接続され、トランジスタB 5、B 6の各コレクタとB 7のベースと抵抗R 3の一方の端子とが接続され、フリップフロップ出力の負側出力Q Nとなる。トランジスタB 7およびB 8の各コレクタとB 6のベースと抵抗R 4の一方の端子が接続され、マスタ回路の正側出力O 1 Pとなる。抵抗R 3およびR 4の他方の各端子は、正側電源VCCに接続される。

クロック回路1 3は、トランジスタB 9～B 1 2、定電流源 I 2で構成され、負側クロック入力CNは、トランジスタB 9およびB 1 0の各ベースに接続され、正側クロック入力CPは、トランジスタB 1 1およびB 1 2の各ベースに接続される。トランジスタB 9～B 1 2の各エミッタは、定電流源 I 2のシンク側に接続される。トランジスタB 9のコレクタは、マスタ側ラッチホールド回路1 1の正側出力O 1 Pに、トランジスタB 1 0のコレクタは、マスタ側ラッチホールド回路1 1の負側出力O 1 Nに、トランジスタB 1 1のコレクタは、スレーブ側ラッチホールド回路1 2の正側出力QPに、トランジスタB 1 2のコレクタは、スレーブ側ラッチホールド回路1 2の負側出力QNにそれぞれ接続される。定電流源 I 2のソース側は負側電源VEEに接続されている。

いずれのトランジスタB 1～1 2も正側電源と負側電源の間に電流源と抵抗のみを介して接続されているので、従来回路と同様に低電源電圧動作が可能である。また図6の従来の回路のように、ラッチホールド回路の前にバッファ回路を必要としないためデータ信号を直にラッチホールド回路につなぐことができ遅延が発生せず高速動作に適している。また従来の回路よりも構成要素数がかなり減っている。例

えば、トランジスタは図6の実施例と比べて16個から12個へと減っている。またマスタ側ラッチホールド回路11とスレーブ側ラッチホールド回路12、クロック回路13内の対称性が良いため雑音、動作安定性、製造容易性などが良くなっている。

- 5 図3を参照して図2のフリップフロップ回路の動作を説明する。B9、B10のベースに印加されるクロック信号CNがハイレベル(Hi)でCPがローレベル(L_o)ある場合(図3の波形(A)がL_oである場合)、B9、B10はオン状態となり、各コレクタに電流が流れ、R1、R2にもI1が引き込む電流が流れる。B2とB1のベース部の電位を比べるとB2のベース部のほうが電位が低くなりB1
10 がオン、B2がオフになり、同様にB4がオン、B3がオフになる。

ここで、DPがHiのとき、B1がオンになりさらにO1Nの電圧が下がり、このときDNはL_oなのでB4はオフであり、O1PはHiとなりO1NはL_oとなる。この状態はトランスペアレントモードであり、波形Bはラッチされず波形Cにそのまま表れる。

- 15 波形AがL_oの場合、B9、B10はオフとなり、B2、B3のベースの電位よりもB1、B4のベースの電位の方が低くなるように設定しておく、B1、B4がオフとなる。波形AがL_oになる直前に、B2とB3のいずれがオンになっているかどうかで、マスタ側ラッチホールド回路11の2つの状態、波形Cがどうなるかが決まる。

- 20 このようにO1P、O1N(波形C)がスレーブ側ラッチホールド回路12に供給されるが、この信号にはデータ信号成分とクロック信号成分が含まれている。これは従来技術にはない本発明の特徴である。本発明はこのように2つのラッチホールド回路11、スレーブ側ラッチホールド回路12を接続する信号路にデータ信号成分とクロック信号成分の両方の成分を含む信号を供給することにより、回路全
25 体の構成を大幅に単純化することができた。

図3には、各位置における波形の変化を示しており、フリップフロップ回路の動作を理解している者であれば、上述の説明、図2の構成、波形A、Bを参照すれば、波形C、Dが得られることを理解できるであろう。図3に示すように、マスタ側ラッチホールド回路11の出力である波形Cは、時間(2)～(3)、(6)～(9)、

(13)～(16)にてHiであり、それ以外の時間ではLoである。フリップフロップ出力である波形Dは、時間(7)～(10)、(14)～(17)にてHiであり、それ以外の時間ではLoとなっている。波形A、Bからフリップフロップ出力として適切な波形Dが得られる。波形CのO1N、O1Pの波形の右側には、
5 実際に図2の回路が動作する電圧を示した。本発明は0.8Vの低電位差であっても動作させることができる。

図4の第2の実施形態の構成を説明する。図2の構成と比べ、各ラッチホールド回路11、スレーブ側ラッチホールド回路12の正側電源VCCに接続された2つの抵抗と正側電源VCCとの間に、別の抵抗R5およびR6が接続されるという構成を採っている。これにより第1の実施形態に比べ、より少ない電流で、各ラッチ
10 ホールド回路の入出力間の所要の電位差を作ることができる。いずれのトランジスタB1～12も正側電源と負側電源の間に電流源と抵抗のみを介して接続されているので、従来回路と同様な低電源電圧動作が可能である。

上述のように、本発明のフリップフロップ回路は、トランジスタB1～B4およびB5～B8で構成される2つのラッチホールド回路とトランジスタB9～B12
15 で構成されるクロック用差動回路をもつフリップフロップ回路において、クロック入力CPがHiレベルかつCNがLoレベルの時、トランジスタB9、B10がオン状態になり、定電流源I2の電流によりトランジスタB2、B3がオフ状態になり、第1のラッチホールド回路はトランスペアレント状態となり、同様にトランジ
20 スタB5、B8もオフ状態になるため、第2のラッチホールド回路は、ホールド状態となる。クロック入力CPがLレベルかつCNがHレベルの時は、第1と第2のラッチホールド回路の状態は、入れ替わり、フリップフロップ動作を行う。このように構成されているため、より簡単な構成でより小さい回路規模となり、低電圧動作、低電力動作、高速動作、少ない構成要素とすることが可能となった。

請求の範囲

1.(A)データ信号およびクロック信号が入力される第1のラッチホールド回路と、
(B)第1のラッチホールド回路に他の回路を介さず直接縦続接続され、第1のラッチホールド回路の出力が供給され、当該フリップフロップ回路のフリップフロップ出力を出力する第2のラッチホールド回路と、

(C)第1および第2のラッチホールド回路にクロック信号を与えるクロック回路とを有するフリップフロップ回路であって、

第1のラッチホールド回路の前記出力にはデータ信号成分とクロック信号成分が含まれる

10 ことを特徴とするフリップフロップ回路。

2.(A)データ信号およびクロック信号が入力される第1のラッチホールド回路と、
(B)第1のラッチホールド回路に縦続接続され、第1のラッチホールド回路の出力が供給され、当該フリップフロップ回路のフリップフロップ出力を出力する第2のラッチホールド回路と、

15 (C)第1および第2のラッチホールド回路にクロック信号を他の回路を介さず直接与えるクロック回路とを有するフリップフロップ回路であって、

第1のラッチホールド回路の前記出力にはデータ信号成分とクロック信号成分が含まれる

ことを特徴とするフリップフロップ回路。

20 3.第1のラッチホールド回路は、第1、第2、第3、第4のトランジスタからなり、第1および第4のトランジスタのベースはそれぞれ、前記データ信号が入力される2つの線路の一方につながれ、第2および第3のトランジスタのベースはそれぞれ、第1のラッチホールド回路の前記出力となる2つの線路の一方につながれ、

第2のラッチホールド回路は、第5、第6、第7、第8のトランジスタからなり、
25 第5および第8のトランジスタのベースはそれぞれ、第1のラッチホールド回路の前記出力の2つの線路の一方がつながれ、第6および第7のトランジスタのベースはそれぞれ、前記フリップフロップ出力の2つの線路の一方へとつながれる
ことを特徴とする請求項1ないし2記載のフリップフロップ回路。

4.(A)第1のラッチホールド回路と、

(B) 第1のラッチホールド回路に他の回路を介さず直接縦続接続される第2のラッチホールド回路と、

(C) 第1および第2のラッチホールド回路に制御用クロック信号を与えるクロック回路とを有するフリップフロップ回路であって、

- 5 第1および第2のラッチホールド回路は、入力と出力の間の電位差に応じてトランスペアレント状態とホールド状態の2つの状態をとり、

前記クロック回路は、第1および第2のラッチホールド回路のトランスペアレント状態とホールド状態の2つの状態を与える制御をし、

- 10 前記クロック回路の出力を第1および第2のラッチホールド回路の出力に接続することにより、第1および第2のラッチホールド回路のトランスペアレント状態とホールド状態の2つの状態を制御することを特徴とするフリップフロップ回路。

5. 第1のトランジスタ群からなるマスタ回路と第2のトランジスタ群からなるスレーブ回路とを用いてクロック信号によってデータを保持し同期させる方法であって、

- 15 (A) データ信号をマスタ回路に入力するステップと、

(B) 第1のクロック信号をマスタ回路に入力するステップと、

(C) 第1のクロック信号を用いて第1のトランジスタ群の一部のトランジスタのオン状態とオフ状態を切り替えるステップと、

- 20 (D) 前記データ信号を用いて第1のトランジスタ群の一部のトランジスタのオン状態とオフ状態を切り替えるステップと、

(E) 前記データ信号と第1のクロック信号から第1のトランジスタ群を用いて演算してデータ/クロック信号を生成し、スレーブ回路へと他の回路を介さず直接出力するステップと、

(F) 第2のクロック信号をスレーブ回路に入力するステップと、

- 25 (G) 第2のクロック信号を用いて第2のトランジスタ群の一部のトランジスタのオン状態とオフ状態を切り替えるステップと、

(H) 前記データ/クロック信号を用いて第2のトランジスタ群の一部のトランジスタのオン状態とオフ状態を切り替えるステップと、

(I) 前記データ/クロック信号と第2のクロック信号から第2のトランジスタ

群を用いて演算してスレーブ回路の出力を出力するステップと

を有することを特徴とするクロック信号によってデータを保持し同期させる方法。

6.第1のトランジスタ群からなるマスタ回路と第2のトランジスタ群からなるスレーブ回路とを用いてクロック信号によってデータを保持し同期させる方法であって、

5 (A) データ信号をマスタ回路に入力するステップと、

(B) 第1のクロック信号をマスタ回路に他の回路を介さず直接入力するステップと、

(C) 第1のクロック信号を用いて第1のトランジスタ群の一部のトランジスタのオン状態とオフ状態を切り替えるステップと、

10 (D) 前記データ信号を用いて第1のトランジスタ群の一部のトランジスタのオン状態とオフ状態を切り替えるステップと、

(E) 前記データ信号と第1のクロック信号から第1のトランジスタ群を用いて演算してデータ/クロック信号を生成し、スレーブ回路へと出力するステップと、

15 (F) 第2のクロック信号をスレーブ回路に他の回路を介さず直接入力するステップと、

(G) 第2のクロック信号を用いて第2のトランジスタ群の一部のトランジスタのオン状態とオフ状態を切り替えるステップと、

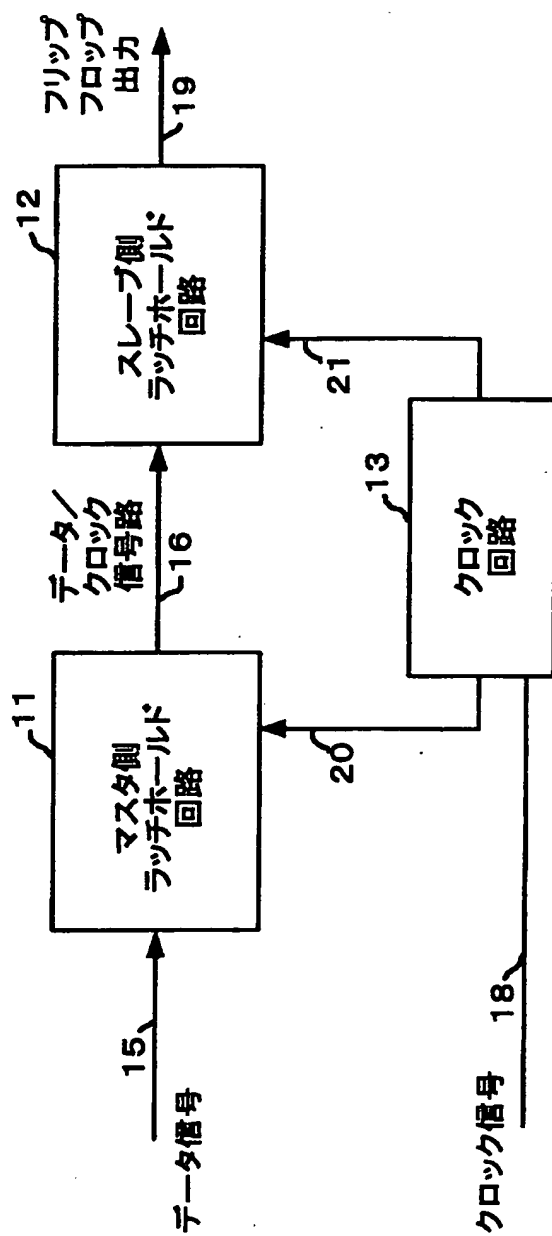
(H) 前記データ/クロック信号を用いて第2のトランジスタ群の一部のトランジスタのオン状態とオフ状態を切り替えるステップと、

20 (I) 前記データ/クロック信号と第2のクロック信号から第2のトランジスタ群を用いて演算してスレーブ回路の出力を出力するステップと

を有することを特徴とするクロック信号によってデータを保持し同期させる方法。

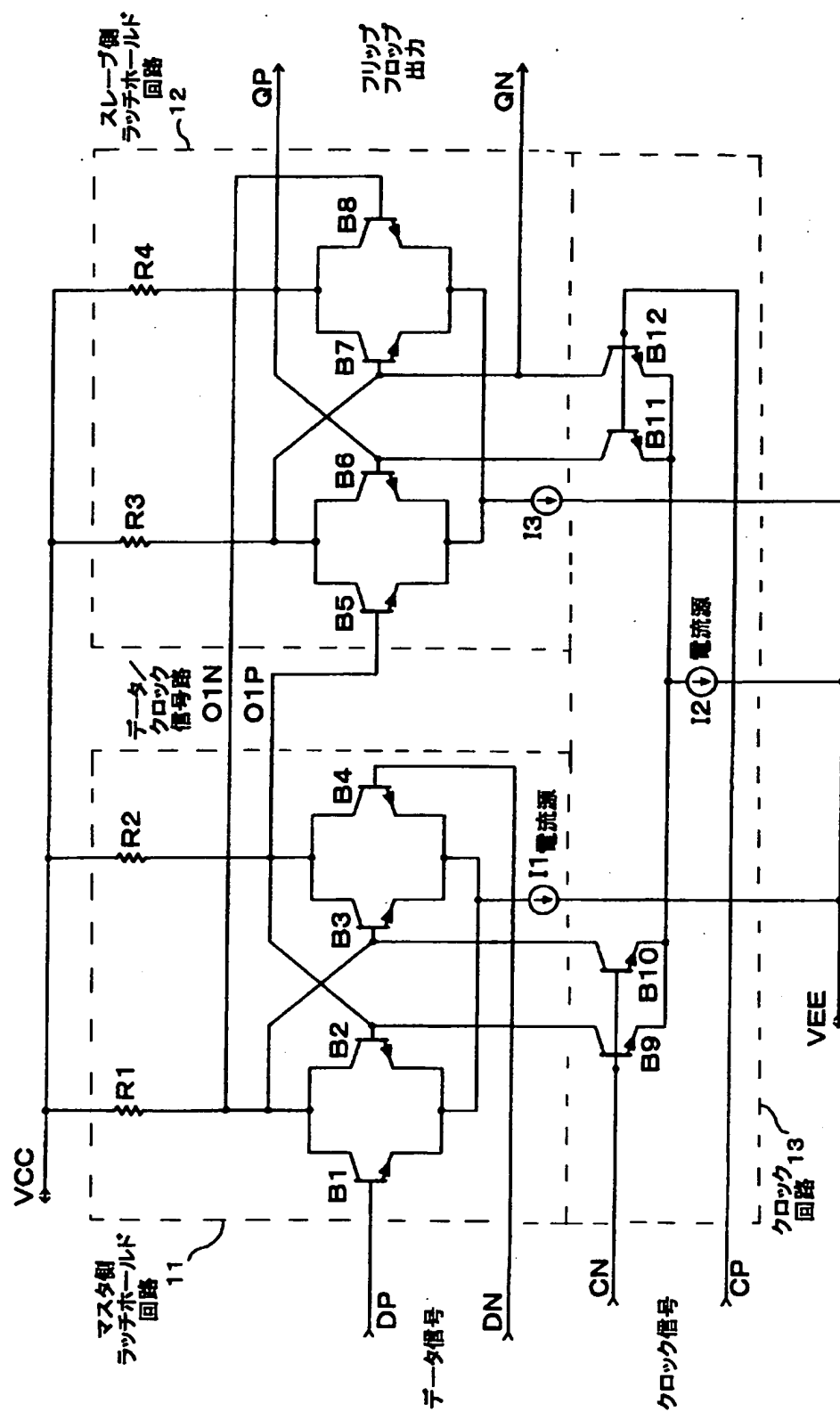
1 / 6

図 1



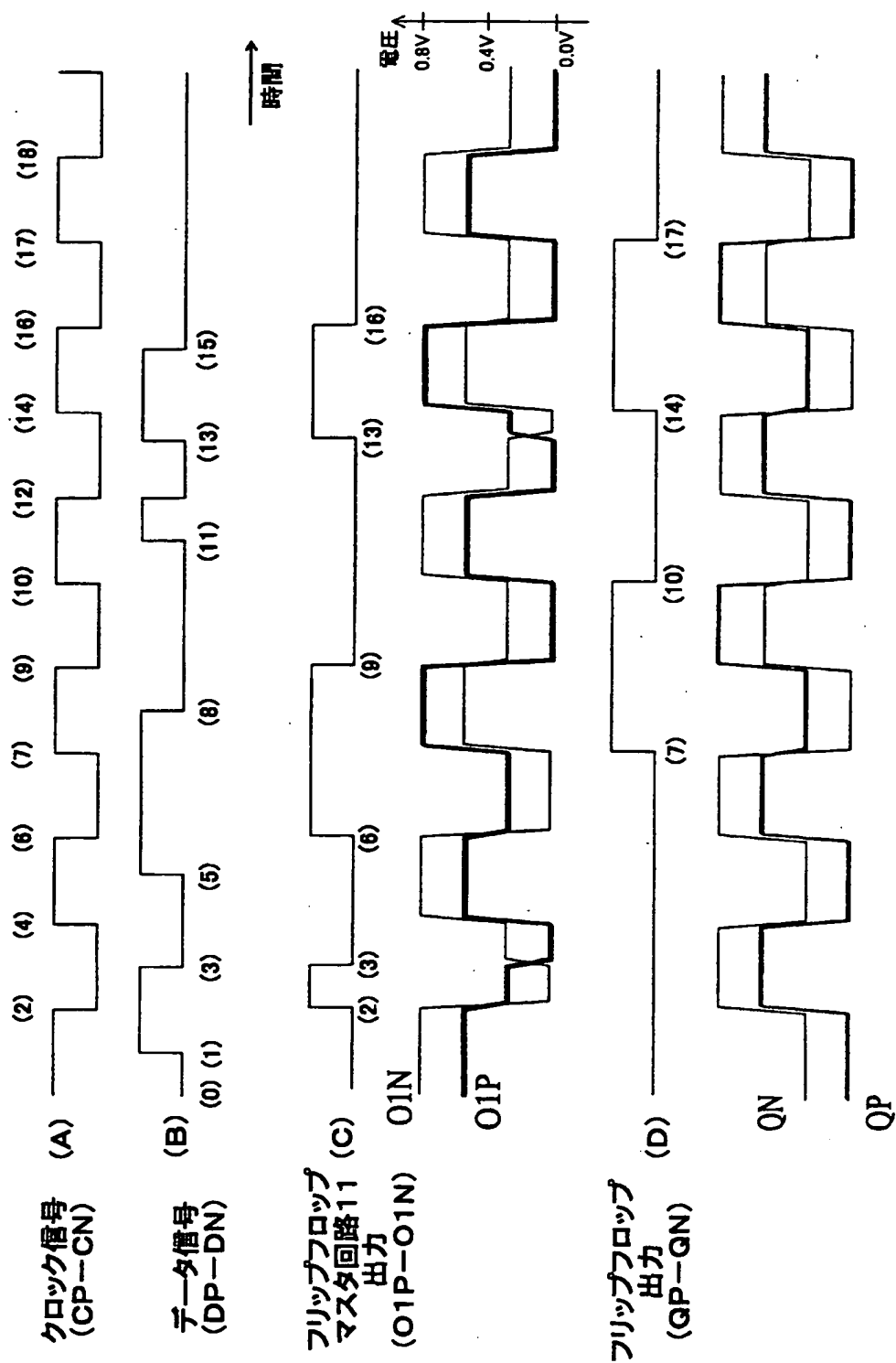
2 / 6

図 2



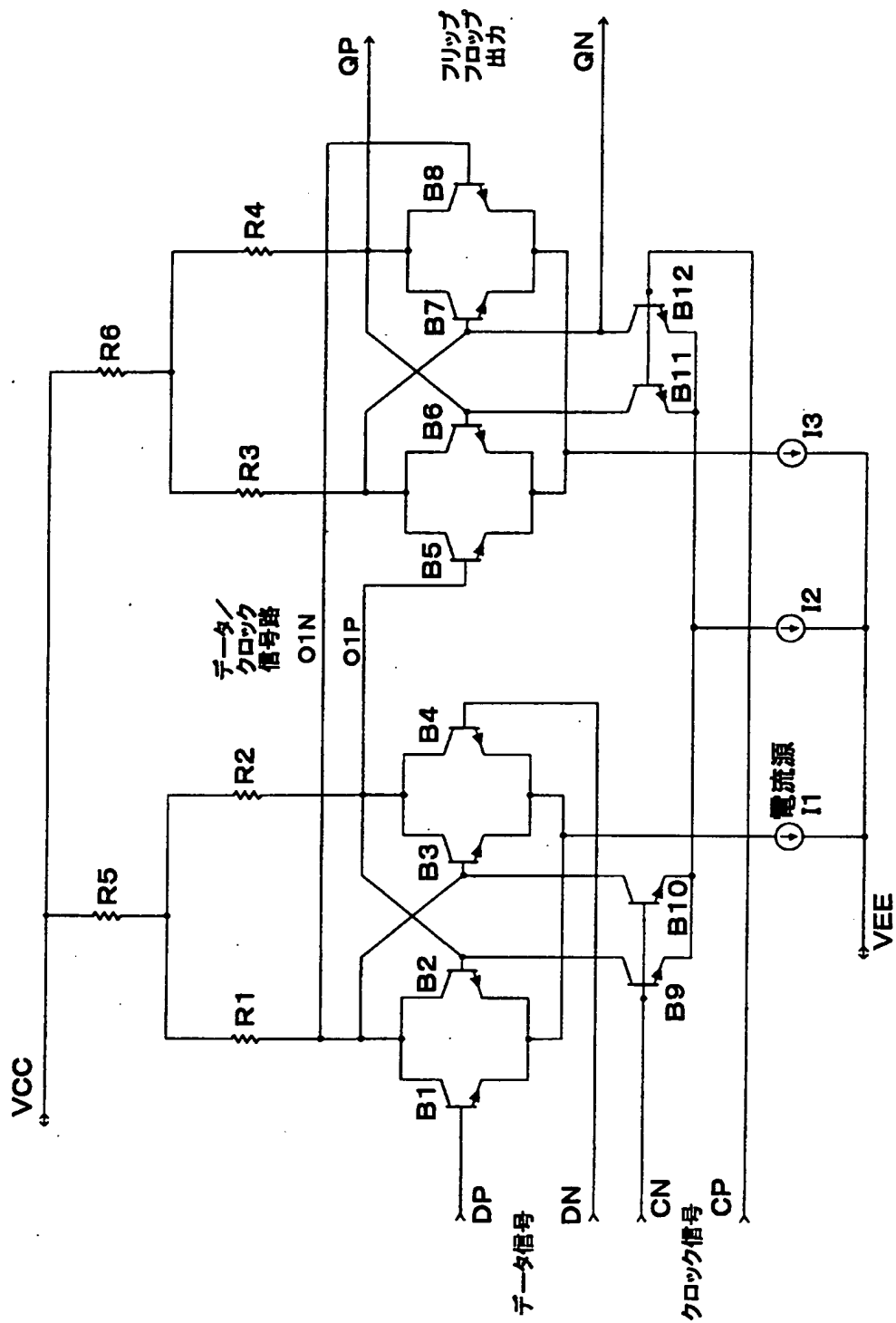
3 / 6

図 3



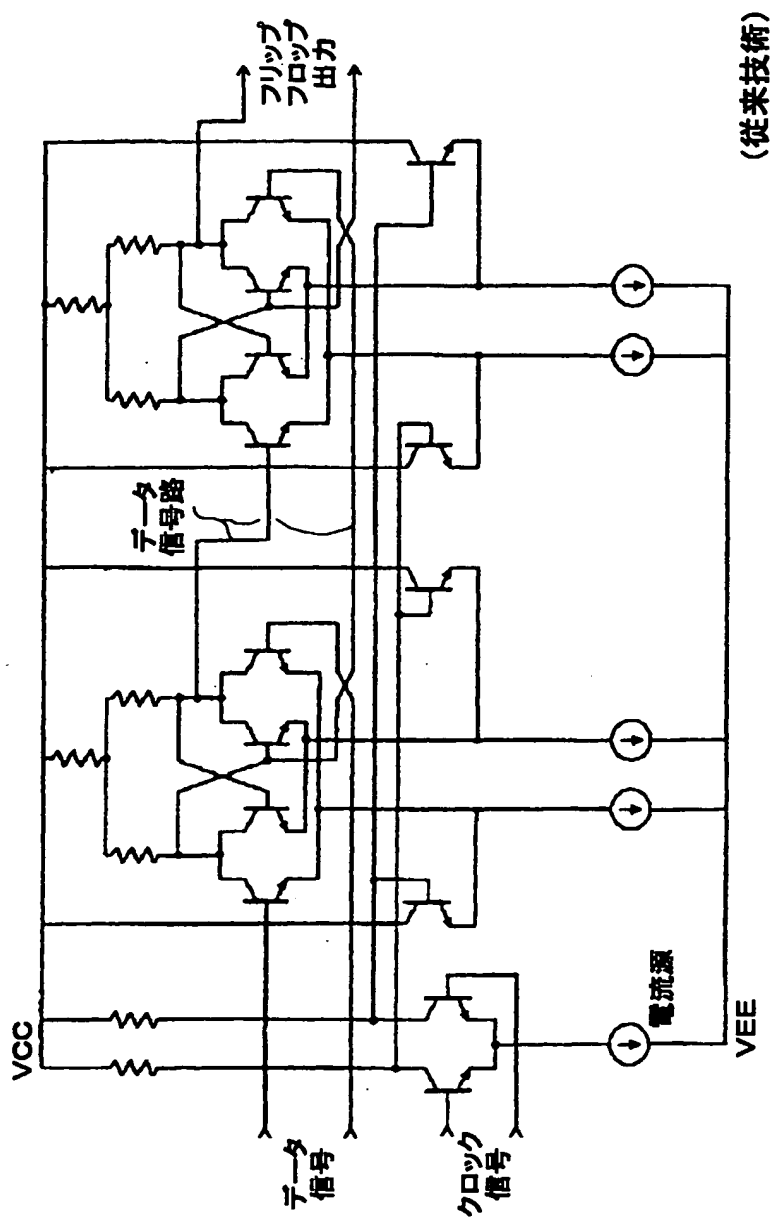
4 / 6

図 4



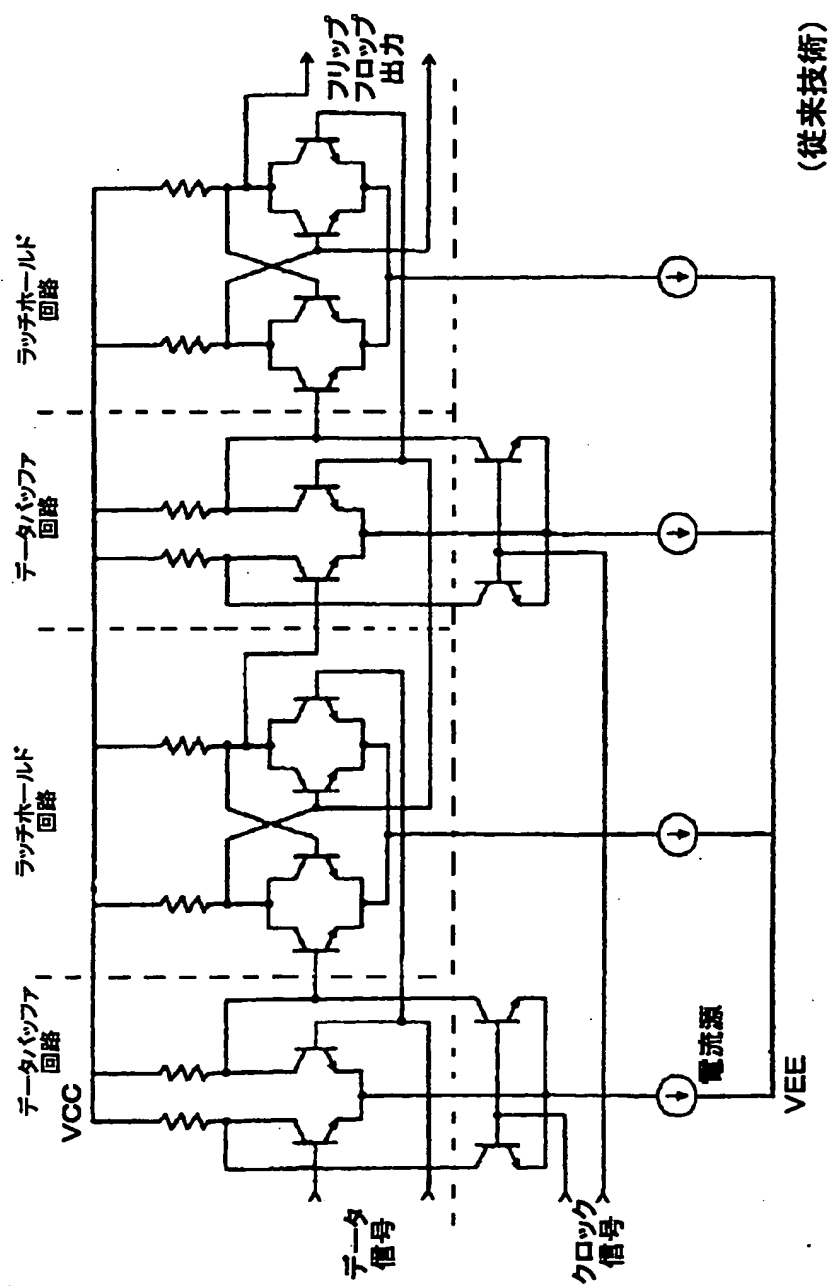
5 / 6

図 5



6 / 6

図 6



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/05924

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H03K 3/289, H03K 3/286

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H03K 3/289, H03K 3/286, H03K 3/356

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926-2000

Kokai Jitsuyo Shinan Koho 1971-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 09-266435, A (NEC Corporation), 07 October, 1997 (07.10.97), Figs. 1, 2, 5, 6, 7, and these descriptions. & EP, 000798854, A2	1-6

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
28 November, 2000 (28.11.00)

Date of mailing of the international search report
12 December, 2000 (12.12.00)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

国際調査報告

国際出願番号 PCT/J P 00/05924

A. 発明の属する分野の分類 (国際特許分類 (IPC))		
Int. Cl ⁷ H03K 3/289, H03K 3/286		
B. 調査を行った分野		
調査を行った最小限資料 (国際特許分類 (IPC))		
Int. Cl ⁷ H03K 3/289, H03K 3/286, H03K 3/356		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報 1926 - 2000 日本国公開実用新案公報 1971 - 2000		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP, 09-266435, A (日本電気株式会社) 07.10月. 1997 (07.10.97) 第1, 2, 5, 6, 7 図 及びその説明 & EP, 000798854, A2	1-6
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 28.11.00	国際調査報告の発送日 12.12.00	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 有泉良三 印 電話番号 03-3581-1101 内線 3556	5 X 7402

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] (A) The 1st latch hold circuit where a data signal and a clock signal are inputted, (B) The 2nd latch hold circuit which direct cascade connection is carried out to the 1st latch hold circuit without other circuits, and the output of the 1st latch hold circuit is supplied, and outputs the flip-flop output of the flip-flop circuit concerned, (C) It is the flip-flop circuit which has the clock circuit which gives a clock signal to the 1st and 2nd latch hold circuits. Flip-flop circuit characterized by containing a data signal component and a clock signal component in said output of the 1st latch hold circuit.

[Claim 2] (A) The 1st latch hold circuit where a data signal and a clock signal are inputted, (B) The 2nd latch hold circuit which cascade connection is carried out to the 1st latch hold circuit, and the output of the 1st latch hold circuit is supplied, and outputs the flip-flop output of the flip-flop circuit concerned, (C) It is the flip-flop circuit which has the clock circuit which gives a clock signal directly to the 1st and 2nd latch hold circuits without other circuits. Flip-flop circuit characterized by containing a data signal component and a clock signal component in said output of the 1st latch hold circuit.

[Claim 3] The 1st latch hold circuit consists of the 1st, 2nd, 3rd, and 4th transistor. The base of the 1st and 4th transistors should be connected with one side of two lines where said data signal is inputted, respectively. The base of the 2nd and 3rd transistors should be connected with one side of two lines used as said output of the 1st latch hold circuit, respectively. The 2nd latch hold circuit It consists of the 5th, 6th, 7th, and 8th transistor. The base of the 5th and 8th transistors, respectively It is a flip-flop circuit claim 1 characterized by connecting one side of two lines of said output of the 1st latch hold circuit, and connecting the base of the 6th and 7th transistors to one side of two lines of said flip-flop output, respectively thru/or given in two.

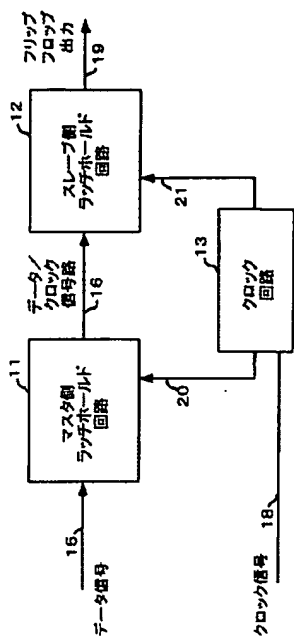
[Claim 4] (A) 1st latch hold circuit (B) The 2nd latch hold circuit by which direct cascade connection is carried out to the 1st latch hold circuit without other circuits, (C) It is the flip-flop circuit which has the clock circuit which gives the clock signal for control to the 1st and 2nd latch hold circuits. the 1st and 2nd latch hold circuits According to the potential difference between an input and an output, two conditions, a transparent condition and a HOLD status, are taken. Said clock circuit Control which gives two conditions of the transparent condition and HOLD status of the 1st and 2nd latch hold circuits is carried out. By connecting the output of said clock circuit to the output of the 1st and 2nd latch hold circuits The flip-flop circuit characterized by controlling two conditions of the transparent condition and HOLD status of the 1st and 2nd latch hold circuits.

[Claim 5] It is the approach of holding data and synchronizing them with a clock signal using the slave circuit which consists of a master circuit which consists of the 1st transistor group, and the 2nd transistor group. The step which inputs the (A) data signal into a master circuit, The step which inputs the (B) 1st clock signal into a master circuit, The step which changes a part of the 1st ON states and OFF states of a transistor of a transistor group using the (C) 1st clock signal, (D) The step which changes a part of the 1st ON states and OFF states of a transistor of a transistor group using said data signal, (E) The step which calculates using the 1st transistor group from said data signal and 1st clock signal, generates data/clock signal, and carries out a direct output without other circuits to a slave circuit, The step which inputs the (F) 2nd clock signal into a slave circuit, The step which changes a part of the 2nd ON states and OFF states of a transistor of a transistor group using the (G) 2nd clock signal, (H) The step which changes a part of the 2nd ON states and OFF states of a transistor of a transistor group using said data/clock signal, (I) How to hold data and to synchronize them with the clock signal characterized by having the step which calculates using the 2nd transistor group from said data/clock signal, and 2nd clock signal, and outputs the output of a slave circuit.

[Claim 6] It is the approach of holding data and synchronizing them with a clock signal using the slave circuit which consists of a master circuit which consists of the 1st transistor group, and the 2nd transistor group. The step which inputs the (A) data signal into a master circuit, The step which carries out the direct input of the (B) 1st clock signal to a

master circuit without other circuits, The step which changes a part of the 1st ON states and OFF states of a transistor of a transistor group using the (C) 1st clock signal, (D) The step which changes a part of the 1st ON states and OFF states of a transistor of a transistor group using said data signal, (E) The step which calculates using the 1st transistor group from said data signal and 1st clock signal, generates data/clock signal, and is outputted to a slave circuit, The step which carries out the direct input of the (F) 2nd clock signal to a slave circuit without other circuits, The step which changes a part of the 2nd ON states and OFF states of a transistor of a transistor group using the (G) 2nd clock signal, (H) The step which changes a part of the 2nd ON states and OFF states of a transistor of a transistor group using said data/clock signal, (I) How to hold data and to synchronize them with the clock signal characterized by having the step which calculates using the 2nd transistor group from said data/clock signal, and 2nd clock signal, and outputs the output of a slave circuit.

[Translation done.]



[Translation done.]

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

Technical field Especially this invention relates to the ECL mold low battery and low-power flip-flop circuit using a bipolar transistor about an electron device.

Background technique The flip-flop circuit has become increasingly important in electron devices, such as a semiconductor device, and to be low-battery actuation, low power actuation, high-speed operation, simple structure, and few components etc. are desired. In the ECL mold flip-flop circuit which operates by the conventional low battery, the circuit (drawing 6) concerning the technique of the circuit (drawing 5) concerning the technique of JP,2-21717,A and JP,10-51278,A etc. is located.

The flip-flop circuit of drawing 5 consists of a master circuit, two latch hold circuits which constitute a slave circuit, and clock circuits. The current source was connected between the negative side power sources VEE, there were many current sources as five and, as for the emitter, neither of the transistors was fit for low current actuation, although the collector has the composition that resistance is connected between the forward side power source VCC or the forward side power source VCC and it had become a circuit suitable for low-battery actuation. Moreover, there are many transistors as 14 pieces.

The flip-flop circuit of drawing 6 consists of two data buffer circuits, two latch hold circuits, and clock circuits, each transistor is connected with resistance through the current source between the forward side power source and the negative side power source, it is suitable for low-battery actuation, and the number of current sources has also decreased compared with the circuit of four and drawing 5 . However, only the part of the buffer circuit connected in front of each latch hold circuit requires the transfer time of data, and low battery actuation is desired disadvantageously for high-speed operation. Moreover, there are many transistors similarly as 14 pieces.

Disclosure of invention Therefore, in the conventional flip-flop circuit, to be low-battery actuation, low power actuation, high-speed operation, simple structure, and few components etc. are desired. This invention aims at offering such a flip-flop circuit.

the flip-flop circuit of this invention -- (A) -- the 1st latch hold circuit and (B) -- the 2nd latch hold circuit by which cascade connection is carried out to said latch hold circuit, and (C) -- it has the clock circuit which gives a control signal to said two latch hold circuits.

Said each latch hold circuit takes two conditions, a transparent condition and a HOLD status, according to the potential difference during I/O. A clock circuit carries out control which gives two conditions of each latch hold circuit. The detail of each example is explained to a detail in the bottom.

Using the transistor B1 by which each emitter was connected to the common constant current source - B4, said latch hold circuit considers each base of a transistor B1 and B4 as the input of the couple of a forward side and a negative side, considers the collector of the connected transistor B1 and B-2, and the base of B3 as a negative side output, and considers the collector of the connected transistor B3 and B4, and the base of B-2 as a forward side output.

Since transistor B-2 from which each input becomes off [a transistor B1 and B4] when potential is lower than each output, and serves as positive feedback, and B3 become ON, a HOLD status is maintained, and the condition of turning on and off of each transistor is reversed when the potential difference is reverse, it will be in a transparent condition.

A clock circuit consists of transistors B9-B12 by which each emitter was connected to the common constant current source I2, and both the bases of transistors B9 and B10 serve as negative side clocked into. Both the bases of transistors B11 and B12 serve as forward side clocked into. Each collector of transistors B9 and B10 is connected to the negative side of the master side latch hold circuit 11, and a forward side output, respectively, and each collector of transistors B11 and B12 is connected to the forward side of the slave side latch hold circuit 12, and a negative side output, respectively.

The input of the master side latch hold circuit 11 is connected to the output of a flip-flop with the same preceding paragraph, or the bias voltage of the mean value of a flip-flop circuit output in case clocked into is with Hi level and Lo level is given.

When clocked into is L level, the output of the master side latch hold circuit 11 serves as low voltage compared with the input, and the master side latch hold circuit 11 will be in a transparent condition, makes low voltage simultaneously the input of the slave side latch hold circuit 12 compared with the output, and makes a HOLD status the slave side latch hold circuit 12. When clocked into is H level, the master side latch hold circuit 11 will be in a HOLD status, and, conversely, the slave side latch hold circuit 12 will be in a transparent condition.

The best gestalt for inventing In drawing 1, a data signal 15 and the clock signal 20 which the clock circuit 13 generates are inputted into the master side latch hold circuit 11. The master side latch hold circuit 11 takes two conditions, a transparent condition and a HOLD status, according to the level of these data signals 15 and a clock signal 20, and outputs these conditions, and the data/clock signal 16 with which the level of data signals 15 and 18 was reflected. This data / clock signal 16 contain both the data signal component and the clock signal component.

Data / clock signal 16 is supplied to the slave side latch hold circuit 12 through data / clock signal way from the master side latch hold circuit 11, and a clock signal 21 is supplied to it from the clock circuit 13. The slave side latch hold circuit 12 takes two conditions, a transparent condition and a HOLD status, according to the level of data / clock signal 16, and a clock signal 21 like the master side latch hold circuit 11, and outputs the flip-flop output 19 in which the level of these conditions, the data/clock signal 16, and a clock signal 21 was reflected. In addition, in this drawing, although only one line showed each signalling channel for the conciseness of drawing, each signalling channel consists of 1 or 2 or more lines actually. Each signalling channel is made to consist of a line of 2 thru/or 4 in the example of drawing 2 explained later and drawing 4.

The configuration of the example of drawing 2 is explained. If this flip-flop circuit is roughly divided, it will consist of the master side latch hold circuit 11, a slave side latch hold circuit 12, and a clock circuit 13. It consists of a transistor B1 - B4, resistance R1 and R2, and a constant current source I1, the sink side of a constant current source I1 is connected with each emitter of a transistor B1 - B4, each collector of a transistor B1 and B-2, the base of B3, and one terminal of resistance R1 are connected, and the master side latch hold circuit 11 is set to negative side output O1N of a master circuit. One terminal of resistance R2 is connected with each collector of a transistor B3 and B4, and the base of B-2, and it is set to output O1P the forward side of a master circuit. Each terminal of another side of resistance R1 and R2 is connected to the forward side power source VCC.

The slave side latch hold circuit 12 is the same configuration as the master side latch hold circuit 11, and it consists of transistor B5-B8, resistance R3 and R4, and a constant current source I3, the sink side of a constant current source I3 is connected with each emitter of transistor B5-B8, transistor B5, each collector of B6 and the base of B7, and one terminal of resistance R3 are connected, and it serves as the negative side output QN of a flip-flop output. One terminal of resistance R4 is connected with each collector of transistors B7 and B8, and the base of B6, and it is set to output O1P the forward side of a master circuit. Each terminal of another side of resistance R3 and R4 is connected to the forward side power source VCC.

The clock circuit 13 consists of transistors B9-B12 and a constant current source I2, the negative side clocked into CN is connected to each base of transistors B9 and B10, and forward side clocked into CP is connected to each base of transistors B11 and B12. Each emitter of transistors B9-B12 is connected to the sink side of a constant current source I2. the collector of a transistor B9 -- the forward side of the master side latch hold circuit 11 -- output O1P -- the collector of a transistor B11 is connected to the forward side output QP of the slave side latch hold circuit 12, and the collector of a transistor B12 is connected to negative side output O1N of the master side latch hold circuit 11 for the collector of a transistor B10 at the negative side output QN of the slave side latch hold circuit 12, respectively. The source side of a constant current source I2 is connected to the negative side power source VEE.

Since any transistor B1-12 are connected only through a current source and resistance between the forward side power source and the negative side power source, low supply voltage actuation is possible conventionally like a circuit.

Moreover, like the conventional circuit of drawing 6, since a buffer circuit is not needed in front of a latch hold circuit, a data signal can be soon connected with a latch hold circuit, and delay does not occur, but it is suitable for high-speed operation. Moreover, the number of components is becoming fewer considerably rather than the conventional circuit.

For example, the transistor is decreasing from 16 pieces to 12 pieces compared with the example of drawing 6.

Moreover, since the symmetric property in the master side latch hold circuit 11, the slave side latch hold circuit 12, and the clock circuit 13 is good, a noise, stability of operation, manufacture ease, etc. are good.

With reference to drawing 3, actuation of the flip-flop circuit of drawing 2 is explained. When CP low level (Lo) Has the clock signal CN impressed to the base of B9 and B10 with high level (Hi), B9 and B10 will be in an ON state, a

current flows to each collector, and the current which I1 draws also in R1 and R2 flows (when wave (A) of drawing 3 is Lo). If the potential of B-2 and the base section of B1 is compared, potential will become [the way of the base section of B-2] low, ON and B-2 will become [B1] off, and ON and B3 will become [B4] off similarly.

Here, when DP is Hi, an O1N electrical potential difference falls further, since DN is Lo at this time, B4 is off, B1 is turned on, O1P are set to Hi, and it is set to Lo O1N. This condition is the transparent mode, and Wave B is not latched but appears in Wave C as it is.

When Wave A is Lo, if it sets up so that B9 and B10 may become off and the potential of the base of B1 and B4 may become low rather than the potential of B-2 and the base of B3, B1 and B4 will serve as OFF. It is decided by any [B-2 and] of B3 just before Wave A is set to Lo, are turned on what will happen to two conditions of the master side latch hold circuit 11, and Wave C.

Thus, although O1P and O1N (wave C) are supplied to the slave side latch hold circuit 12, the data signal component and the clock signal component are contained in this signal. This is the description of this invention which is not in the conventional technique. This invention was able to simplify the configuration of the whole circuit substantially by supplying the signal which contains the component of both a data signal component and a clock signal component in the signalling channel which connects two latch hold circuits 11 and the slave side latch hold circuit 12 in this way.

In drawing 3, the wave-like change in each location is shown, and if it is those who understand actuation of a flip-flop circuit and above-mentioned explanation, the configuration of drawing 2, Wave A, and B will be referred to, he will be able to understand that Wave C and D are obtained. As shown in drawing 3, the wave C which is the output of the master side latch hold circuit 11 is Hi in time amount (2) - (3) and (6) - (9) and (13) - (16), and Lo in the other time amount. By time amount (7) - (10) and (14) - (17), the wave D which is a flip-flop output is Hi, and serves as Lo by the other time amount. The wave D suitable as a flip-flop output is acquired from Wave A and B. On the right-hand side of [of O1 N of C waves, and O1P] the wave, the electrical potential difference on which the circuit of drawing 2 operates actually was shown. Even if this invention is the low voltage of 0.8V, it can be operated.

The configuration of the 2nd operation gestalt of drawing 4 is explained. The configuration that another resistance R5 and R6 is connected compared with the configuration of drawing 2 between two resistance connected to the forward side power source VCC of each latch hold circuit 11 and the slave side latch hold circuit 12 and forward side power sources VCC is taken. Thereby compared with the 1st operation gestalt, the necessary potential difference during I/O of each latch hold circuit can be made from fewer currents. Since any transistor B1-12 are connected only through a current source and resistance between the forward side power source and the negative side power source, the conventionally same low supply voltage actuation as a circuit is possible.

As mentioned above, the flip-flop circuit of this invention In a flip-flop circuit with two latch hold circuits which consist of a transistor B1 - B4, and B5-B8, and the differential circuit for clocks which consists of transistors B9-B12 When clocked into CP is [Hi level and CN] Lo level, transistors B9 and B10 are turned on. Since transistor B-2 and B3 are turned off according to the current of a constant current source I2, the 1st latch hold circuit will be in a transparent condition and transistor B5 and B8 are turned off similarly, the 2nd latch hold circuit will be in a HOLD status. The condition of the 1st and 2nd latch hold circuit interchanges, and clocked into CP performs flip-flop actuation, when L level and CN are H level. Thus, since it was constituted, it became smaller circuit magnitude with the easier configuration, and it became possible to consider as low-battery actuation, low power actuation, high-speed operation, and few components.

[Brief Description of the Drawings]

Drawing 1 It is the outline block diagram having shown the example of the operation gestalt of this invention.

Drawing 2 It is the circuit diagram showing the 1st operation gestalt of this invention.

Drawing 3 It is the wave form chart having shown the wave-like example in each location of drawing 2.

Drawing 4 It is the circuit diagram showing the 2nd operation gestalt of this invention.

Drawing 5 It is the circuit diagram having shown an example of the conventional flip-flop circuit.

Drawing 6 It is the circuit diagram having shown other examples of the conventional flip-flop circuit.

The explanation 11 of a sign The master side latch hold circuit 12 The slave side latch hold circuit 13 Clock circuits B1-B12 Transistors R1-R6 Resistance I1-I3 Constant current source VCC The terminal VEE of a forward side power source Terminal DP of a negative side power source Forward side data input DN Negative side data input CP Forward side clocked into CN Negative side clocked into QP Forward side output QN Negative side output

[Translation done.]

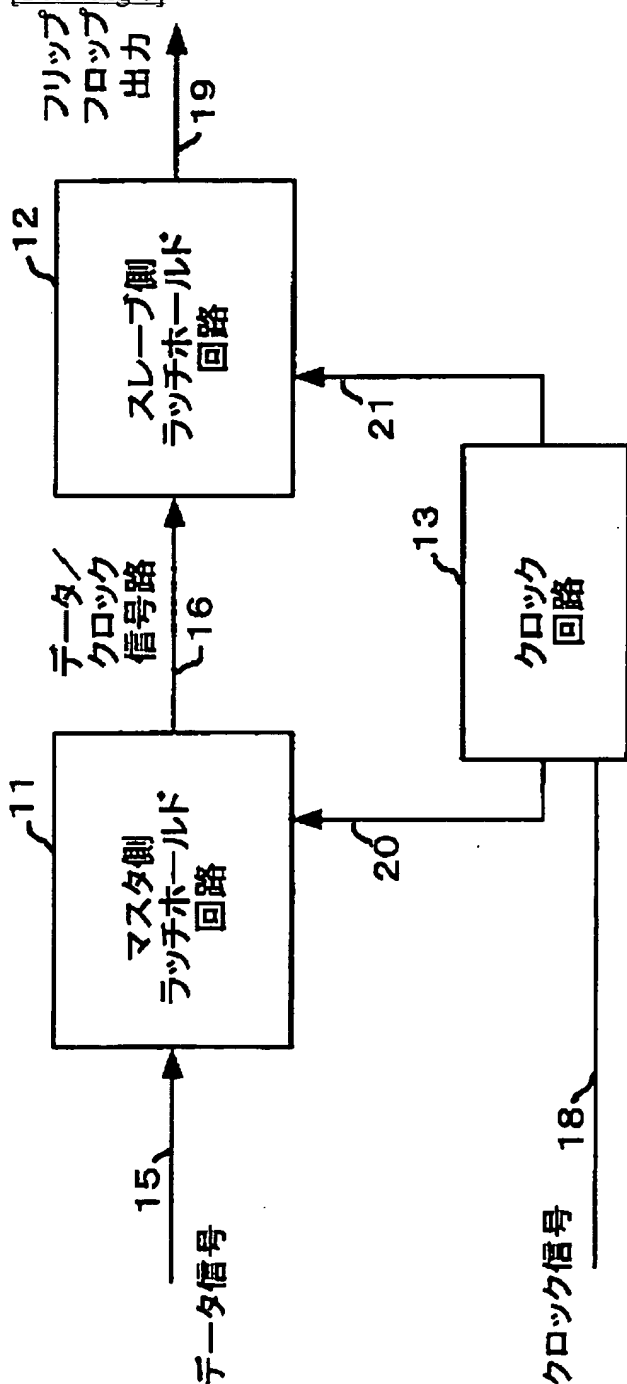
* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

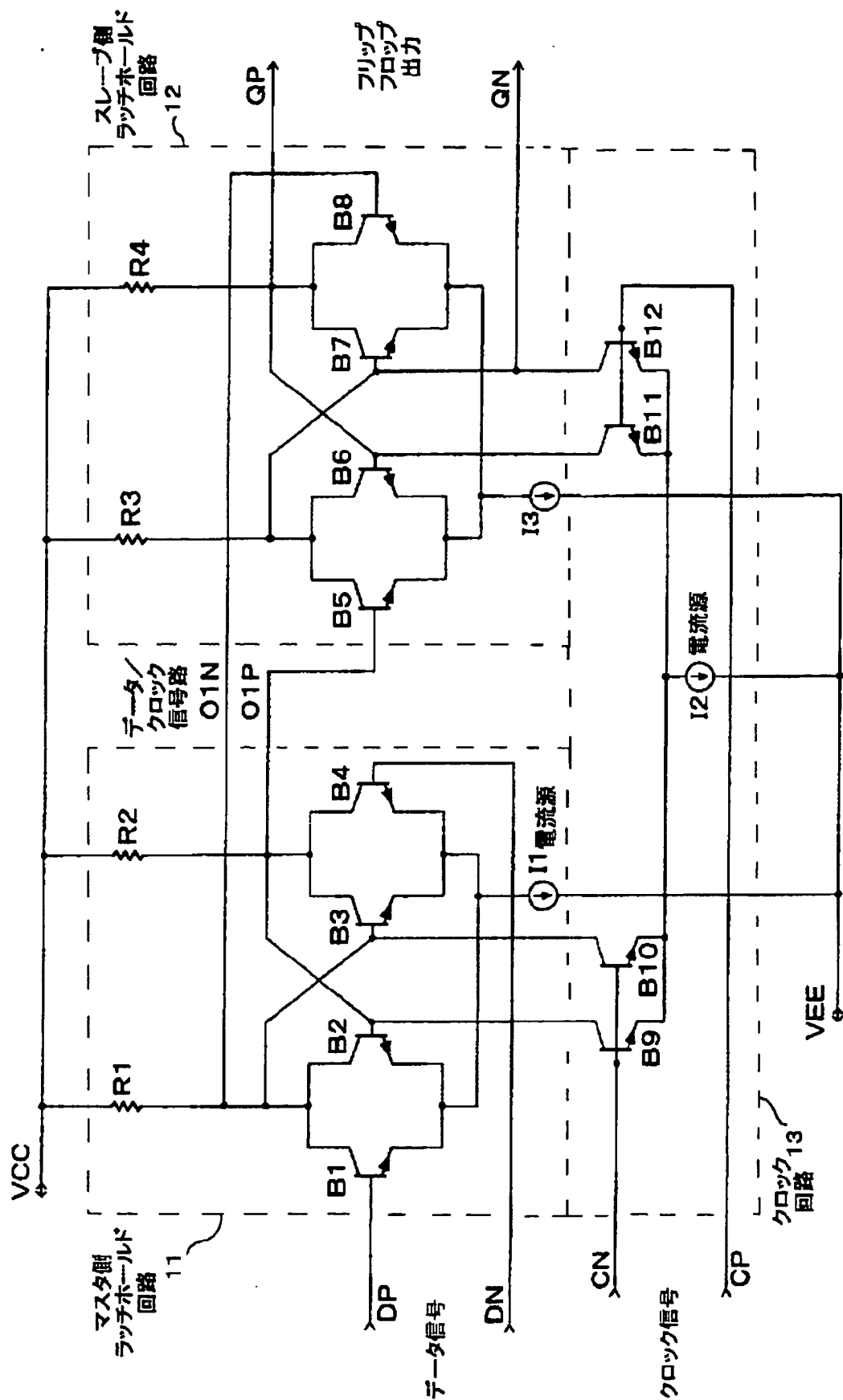
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

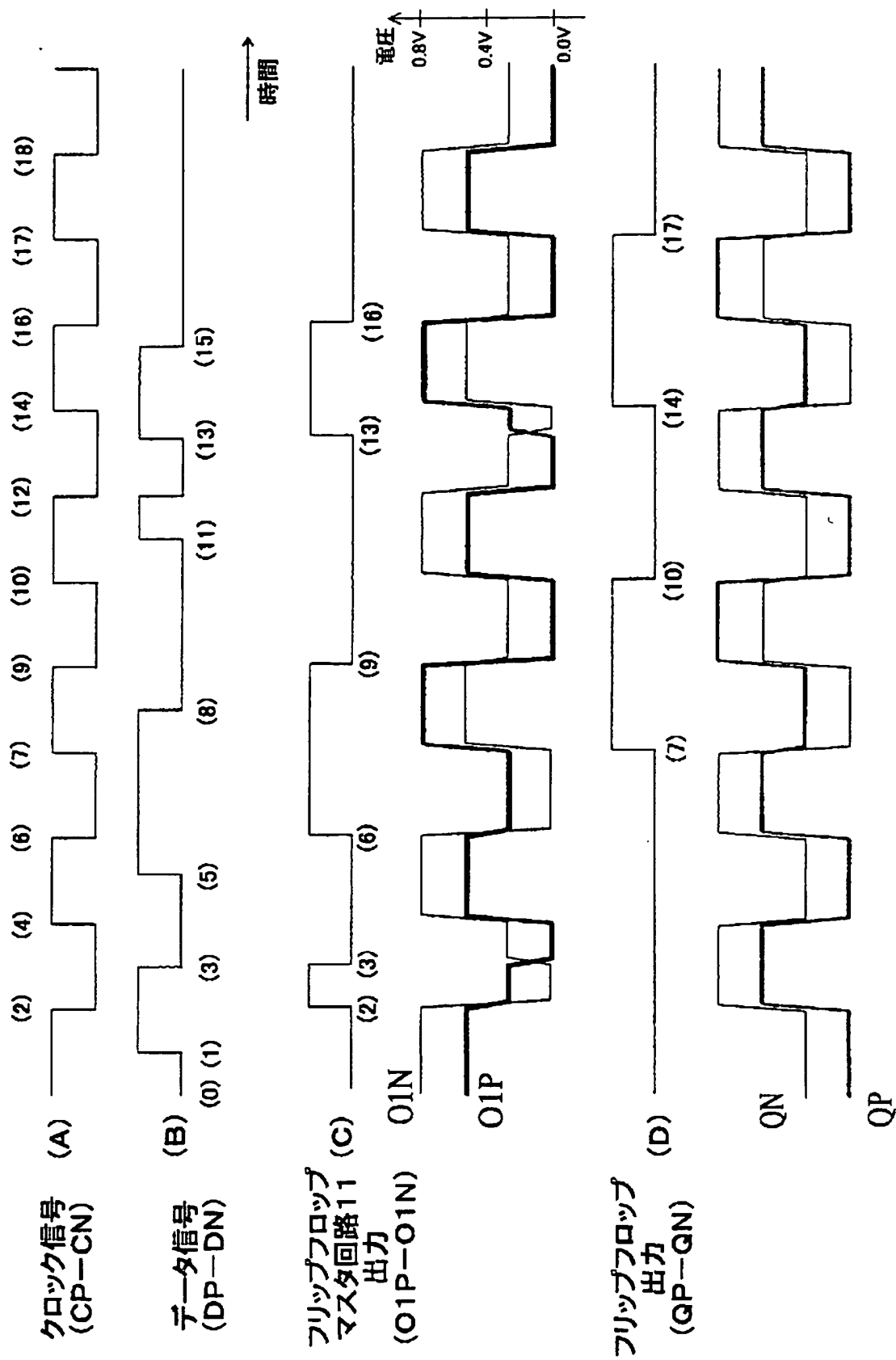
[Drawing 1]



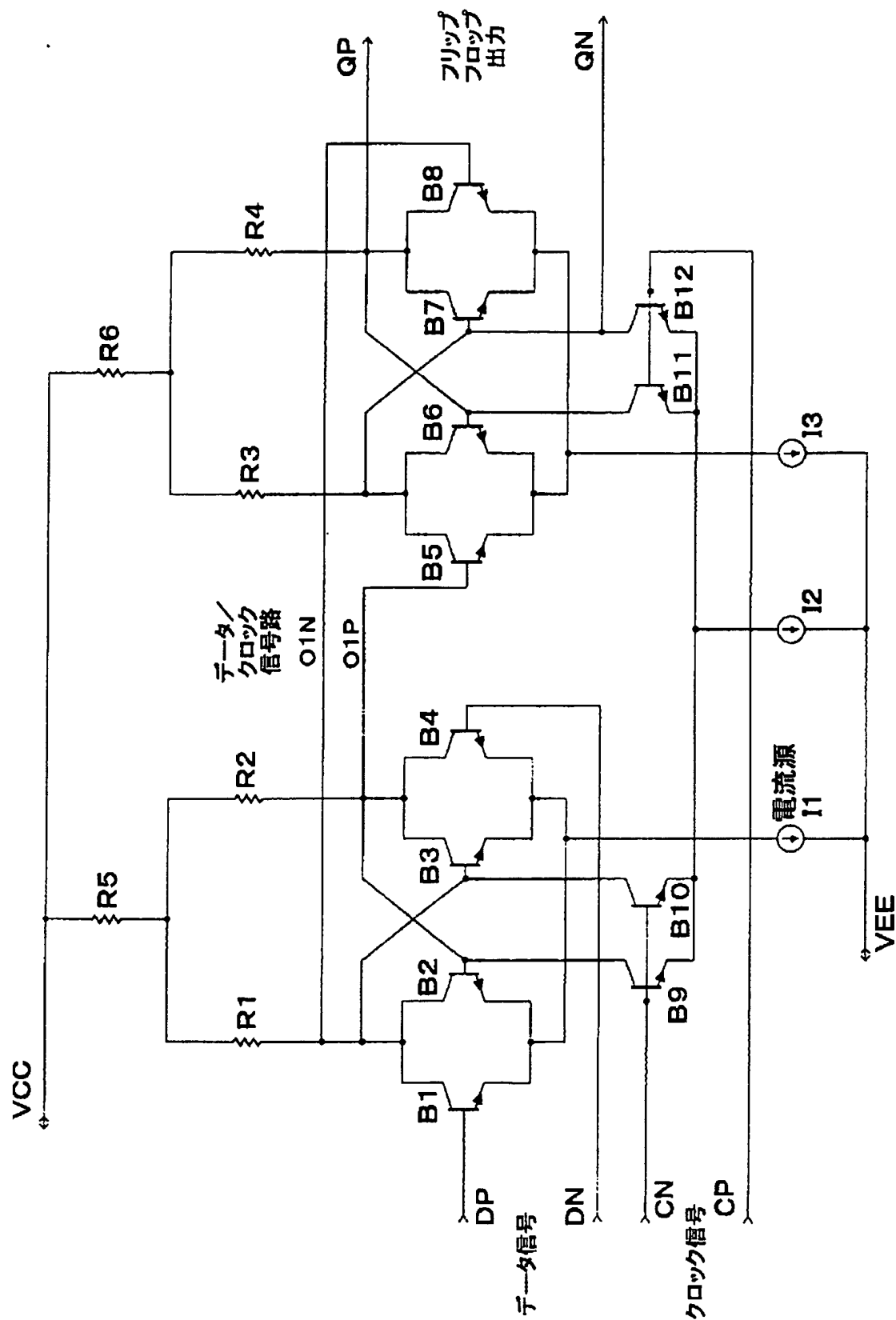
[Drawing 2]



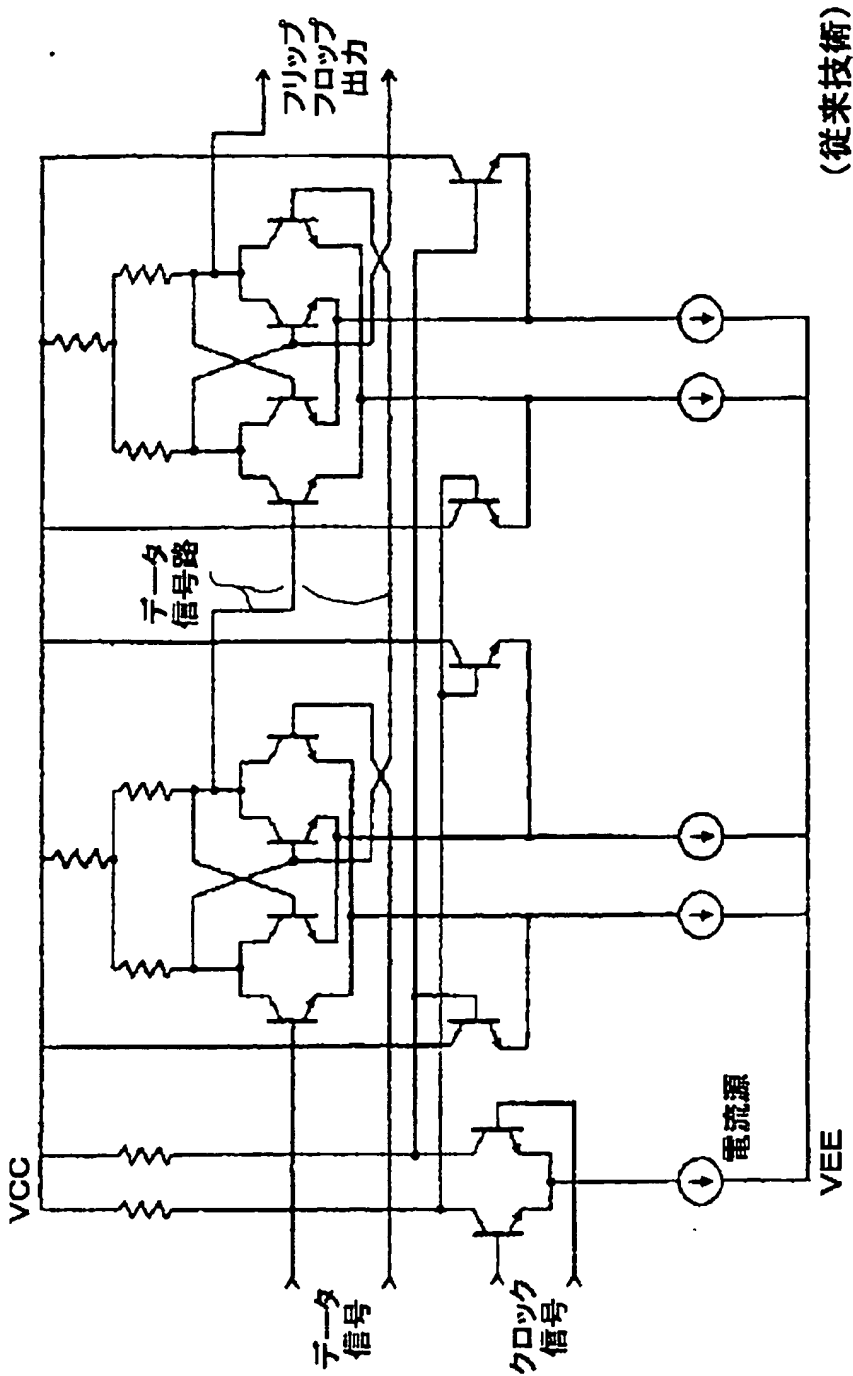
[Drawing 3]



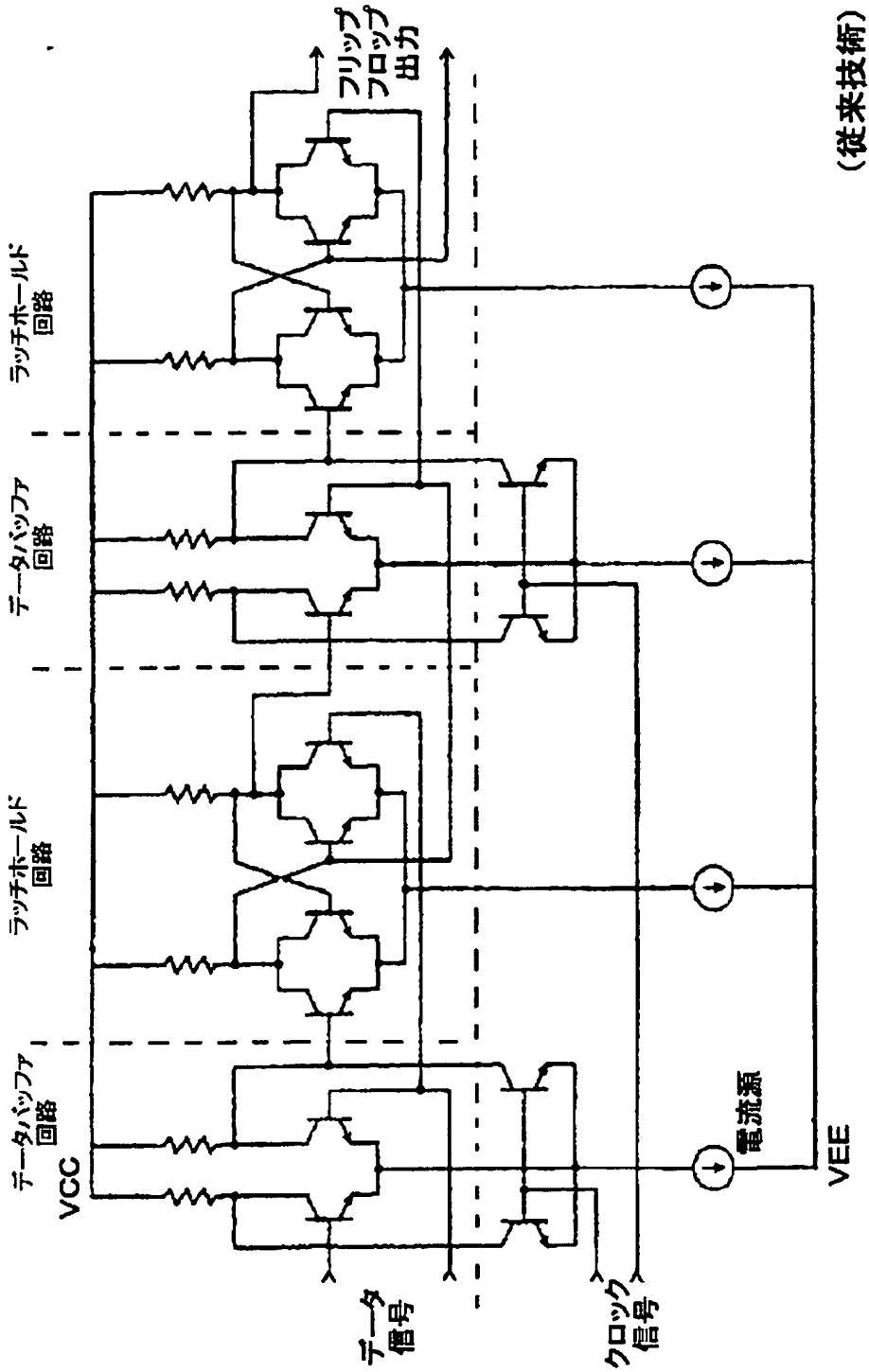
[Drawing 4]



[Drawing 5]



[Drawing 6]



[Translation done.]